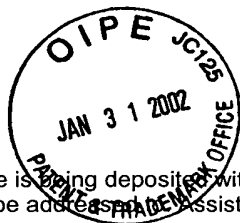


Docket No.: GR 99 P 1679



I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: January 15, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Gerald Deboy et al.  
Appl. No. : 10/033,227  
Filed : October 22, 2001  
Title : Semiconductor Component

CLAIM FOR PRIORITY

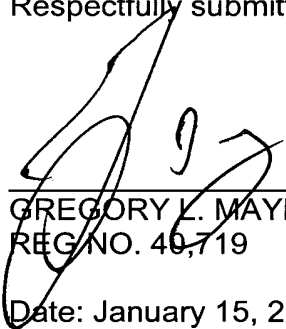
Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 19918028.8 filed April 21, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,719

Date: January 15, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/mjb

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 199 18 028.8

**Anmeldetag:** 21. April 1999

**Anmelder/Inhaber:** Infineon Technologies AG, München

Erstanmelder: Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Halbleiter-Bauelement

**IPC:** H 01 L 29/78

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der  
ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 6. Dezember 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Jerofsky



## Beschreibung

## Halbleiter-Bauelement

- 5 Die Erfindung betrifft ein spannungsgesteuertes Halbleiter-Bauelement, bei dem zwischen den die Laststrecke bildenden Anschlüssen eine hohe Spannung anliegt.

Die Kosten bei der Fertigung einer Netzstromversorgung stellen ein grundsätzliches Problem dar. Die geeignete Auswahl einer Netzstromversorgung ist abhängig von der Anwendung, ebenso wie die Komponenten, die zum Einsatz kommen sollen. Insbesondere geschaltete Netzstromversorgungen kommen immer häufiger zum Einsatz. Dies liegt unter anderem daran, daß

10 viele komplexe Schaltungsanordnungen eines Schaltnetzteiles auf einem einzigen integrierten Halbleiter-Chip zusammengefaßt werden können. Dies ermöglicht eine kostengünstige Fertigung. Ein derartiger Halbleiter-Chip weist insbesondere eine Leistungsschalteneinrichtung sowie eine Ansteuerung für die

15 Leistungsschalteneinrichtung auf. Die Lastanschlüsse der Leistungsschalteneinrichtung liegen dabei an einer hohen Versorgungsspannung, während zur Ansteuerung der Leistungsschalteneinrichtung eine Spannung mit einem wesentlich geringeren Signalpegel benötigt wird. Der integrierte Halbleiterchip weist

20 deshalb Bereiche auf, die für eine Hochvoltanwendung (Leistungsschalteneinrichtung) ausgelegt sind und weitere Bereiche, die mit einem niederen Spannungsniveau auskommen (Ansteuerung). Ein derartiger Halbleiterchip benötigt deshalb einen Anschluß, um diesen mit einem hohen Versorgungspotential zu

25 beaufschlagen, sowie einen weiteren Anschluß, der für die Steuerungskomponenten ein niedriges Versorgungspotential zur Verfügung stellt. Das niedere Versorgungspotential kann beispielsweise dadurch erzeugt werden, daß das hohe Versorgungspotential über einen Widerstand zwischen dem weiteren Anschluß

30 und dem hohen Versorgungspotential reduziert wird. Ei-

35

ne derartige Verschaltung verursacht jedoch permanente Verluste.

5 Es wäre deshalb vorteilhaft, wenn man direkt aus der an der Leistungsschalteneinrichtung anliegenden Lastspannung ein Signal ableiten könnte, das einer Ansteuerung zugeführt wird und zu ihrer Versorgung dienen würde. Gleichzeitig sollte die Leistungsschalteneinrichtung einen möglichst geringen Durchlaßwiderstand im leitenden Zustand einnehmen.

10

Eine derartige Leistungsschalteneinrichtung ist beispielsweise aus der US 5,285,369 bekannt. Hier wird eine integrierte Schaltungsanordnung beschrieben, die in einer geschalteten Netzversorgung zum Einsatz kommt. Die integrierte Schaltungsanordnung weist dabei eine Leistungsschalteneinrichtung auf, die aus zwei seriell miteinander verschalteten Halbleiterschaltern besteht. Der erste Halbleiterschalter ist ein JFET während der zweite Halbleiterschalter ein Hochvolt-MOSFET ist. Am Verbindungspunkt der beiden seriell mit ihren Laststrecken verschalteten Halbleiterschalter kann eine geringe Spannung abgegriffen werden, die einem Spannungsregler der Ansteuereinrichtung zugeführt wird. Hierdurch ist es möglich, in der integrierten Schaltungsanordnung Bauelemente mit hohem und mit niederem Versorgungspotentialbedarf zu vereinen, wobei ein aus der Lastspannung abgeleitetes Signal den Bauelementen mit niederem Versorgungspotential zugeführt werden kann. Der Aufbau der Leistungsschalteneinrichtung aus einem JFET und einem Hochvolt - MOSFET ist beispielsweise in der US 4,811,075 oder US 5,313,082 beschrieben.

30

Nachteilig bei der dort beschriebenen Leistungsschalteneinrichtung, im folgenden Halbleiter-Bauelement genannt, ist jedoch das aufwendige Herstellungsverfahren mit sehr vielen Maskenschritten zur Herstellung der komplizierten Schichtenfolge und deren unterschiedlichen Dotierung.

35

Die Aufgabe der vorliegenden Erfindung besteht deshalb darin, ein Halbleiter-Bauelement anzugeben, das aus einer hohen Lastspannung ein Signal ableiten kann, welches direkt zur Ansteuerung des Halbleiter-Bauelementes oder aber einer Steuerungseinrichtung verwendet werden kann. Das Halbleiter-Bauelement soll ferner einfach herzustellen sein.

Diese Aufgabe wird mit den Merkmalen der Patentansprüche 1 und 11 gelöst. Patentanspruch 1 beschreibt dabei ein vertikales Halbleiter-Bauelement, während Patentanspruch 11 ein lateral aufgebautes Halbleiter-Bauelement beansprucht.

Im folgenden werden der prinzipielle Aufbau sowie die Wirkungsweise erklärt. Das Halbleiter-Bauelement ist insbesondere als MOSFET oder IGBT ausgebildet. In der Praxis besteht ein derartiges Halbleiter-Bauelement aus einer Vielzahl an parallel geschalteten MOS-Zellen, die auf einer ersten Seite eines Substrats vom ersten Leitfähigkeitstyp eingebracht sind. Zwischen einem Source- und einem Drain-Kontakt liegt die Lastspannung an. Die Höhe des Stromes zwischen dem Source- und dem Drain-Kontakt wird durch die an einem Gate anliegende Spannung eingestellt. Die parallel geschalteten MOS-Zellen bilden das sogenannte aktive Zellenfeld des Halbleiter-Bauelementes und weisen einen ersten Source-Kontakt auf. Dieses Zellenfeld bildet einen ersten Halbleiterschalter.

Um aus der Lastspannung zwischen dem Source- und Drain-Kontakt ein Signal mit einer wesentlich geringeren Spannung ableiten zu können, wird erfindungsgemäß im aktiven Zellenfeld des Halbleiter-Bauelementes ein Bereich von einigen MOS-Zellen mit einem eigenen, zweiten Source-Kontakt versehen. Dies bedeutet nichts anderes, als daß der erste metallische Source-Kontakt, der mit den Source-Gebieten der das aktive Zellenfeld bildenden MOS-Zellen verbunden ist, aufgetrennt

wird. Ferner werden bei den weiteren MOS-Zellen (abgetrennte MOS-Zellen) die Gate-Kontakte von den ersten Gate-Kontakten der zum Zellenfeld gewandten MOS-Zellen elektrisch getrennt. Diese Zellen bilden dann einen zweiten Halbleiterschalter der  
5 sein Drain mit dem Drain des ersten Halbleiterschalters gemeinsam hat. Die Zellen des zweiten Halbleiterschalters werden im folgenden „Startup-Zellen“ genannt. Das Gate der Startup-Zellen wird mit einem ebenfalls getrennt metallisierten „Source-Gebiet“ weiterer benachbarter Zellen gut leitend  
10 verbunden. Diese Source-Gebiete vom zweiten Leitfähigkeitstyp bilden mit dem Substrat und zumindest einer Wanne der Startup-Zellen, die ebenfalls vom zweiten Leitfähigkeitstyp sind, zumindest einen parasitären Transistor, die im folgenden „Gatedrive-Zelle“ genannt werden. Diese Zellen besitzen einen  
15 mit dem ersten und dem zweiten Halbleiterschalter gemeinsamen Drain-Anschluß.

Das Potential der „Source-Gebiete“ floated gegenüber Source-Potential der Startup-Zellen als auch gegenüber dem Source-  
20 Potential der zum aktiven Zellenfeld gehörenden MOS-Zellen des Halbleiter-Bauelementes. Wird das Source-Potential der Startup-Zellen zum Source-Potential der MOS-Zellen des aktiven Zellenfeldes des Halbleiter-Bauelementes kapazitiv gekoppelt, so steigt in Folge dieser kapazitiven Kopplung bei ei-  
25 ner ansteigenden Drain-Source-Spannung am aktiven Zellenfeld auch die Spannung zwischen dem Source-Gebiet der Startup-Zellen und dem Drain-Gebiet des Halbleiter-Bauelementes an. Sämtliche Zellen des Halbleiter-Bauelementes teilen sich das Drain-Gebiet des aktiven Zellenfeldes. Durch die kapazitive  
30 Kopplung bildet sich um die Wanne, die das Source-Gebiet der Startup-Zellen umgibt, eine Raumladungszone, die sich sowohl vertikal als auch lateral ausdehnt. Sobald die Raumladungszone das benachbarte „Source-Gebiet“ erreicht, werden diese potentialmäßig gekoppelt. Die Spannung, bei der die Raumla-  
35 dungszone die benachbarten Source-Gebiete der Gatedrive-

Zellen erreicht, wird im folgenden „Punch-Through-Spannung“ genannt. Die Punch-Through-Spannung kann dabei durch die Dotierung des Substrats an der Oberfläche und durch den Abstand zwischen dem Source-Gebiet und den Startup-Zellen eingestellt werden. Idealerweise wird sie auf einen Wert deutlich oberhalb der Einsatzspannung der Startup-Zelle, aber unterhalb deren maximaler Spec-Grenze eingestellt, wobei ein in der Hochvolt-Leistungstechnologie üblicher Wert von 12 V gewählt werden kann. Diese Spannung kann auch bei sehr hohen Drain-Source-Spannungsdifferenzen der MOS-Zellen des aktiven Zellenfeldes nicht überschritten werden. Dies ist insbesondere bei sehr raschen  $dU/dt$ -Spitzen im Lastkreis von großer Bedeutung, da mit dem Potential der Sourcegebiete die Gate-Spannung der Startup-Zellen geschaltet werden soll. Durch diese natürliche Begrenzung der an den Source-Gebieten auftretenden Spannung wird ein perfekter Schutz des Gate-Oxids der Startup-Zellen erreicht. Die von den Startup-Zellen aufzubringende Spannung liegt typischerweise zwischen 10 und 15 V. Diese Spannung ist zum Betreiben einer Steuereinrichtung (zum Beispiel ein Steuer-IC) als auch zur direkten Ansteuerung des ersten Gates der MOS-Zellen des aktiven Zellenfeldes ausreichend.

Das erfindungsgemäße Halbleiter-Bauelement weist weiterhin den Vorteil auf, daß auch negative Versorgungspotentiale zwischen dem Source- und Drain-Kontakt des aktiven Zellenfeldes nicht zu einer Zerstörung der Startup-Zellen oder Gatedrive-Zellen (d.h. des Source-Gebietes) führt. Als Schutzelement fungiert dabei die zwischen der Wanne gegenüber dem Substrat der Startup-Zellen bzw. Source-Gebiete gebildete „Body-Diode“. Am Gate der Startup-Zellen kann deshalb keine Spannungsdifferenz von mehr als -1V gegenüber dem Drain-Gebiet auftreten. Die Potentialdifferenz des zweiten Gates der Startup-Zellen gegenüber dem Source-Potential der Startup-Zellen kann dagegen große Werte annehmen, sofern die Spannung der

Startup-Zellen durch einen externen Ladungsspeicher gepuffert wird und nicht begrenzt wird. Beim Einsatz des erfindungsgemäßen Halbleiter-Bauelementes ist deshalb eine externe Spannungsbegrenzung mittels zum Beispiel einer Zenerdiode vorteilhaft. In der Praxis ergibt sich jedoch keine Nutzungseinschränkung, da das Gate-Oxid in den verwendeten Standard-Leistungstechnologien bis 20 V dauerhaft und bis 50V kurzzeitig belastbar ist.

- 10 Vorteilhafte Ausgestaltungen der Erfindung sind den Unteransprüchen zu entnehmen.

Die Anordnung der verschiedenen MOS-Zellen ist vorteilhafter dergestalt, daß die Gatedrive-Zellen (bzw. Source-Gebiete vom zweiten Leitfähigkeitstyp) ausschließlich von den Startup-Zellen umgeben sind und zusammen eine die MOS-Zellen des aktiven Zellenfeldes einschaltende Struktur bilden.

Alternativ ist es auch vorstellbar, daß zumindest eine Startup-Zelle ausschließlich von Gatedrive-Zellen (bzw. Source-Gebieten vom zweiten Leitfähigkeitstyp) umgeben ist, wodurch ebenfalls eine die MOS-Zellen des aktiven Zellenfeldes einschaltende Struktur gebildet wird.

Diese das aktive Zellenfeld einschaltende Struktur ist vorteilhafterweise benachbart den MOS-Zellen des aktiven Zellenfeldes anzuordnen oder vollständig von den MOS-Zellen des aktiven Zellenfeldes zu umgeben. Durch diese Vorgehensweise wird erzielt, daß aus der zwischen dem Drain- und Source-Kontakt des aktiven Zellenfeldes anliegenden Spannung ein Signal mit im Vergleich wesentlich geringerer Spannung erzeugt werden kann, das zur Ansteuerung entweder des ersten Gates des Halbleiter-Bauelementes oder aber eines Steuer-ICs verwendet werden kann.



Vorteilhafterweise ist zwischen den MOS-Zellen des aktiven Zellenfeldes und der diese Zellen einschaltenden Struktur eine laterale Isolation vorgesehen, um parasitäre Effekte zu vermeiden.

5

In einer weiteren vorteilhaften Ausgestaltung ist das Source-Gebiet der Gatedrive-Zelle derart in Richtung der Drain-Elektrode ausgebildet, daß die darin vorhandene Ladung durch die Ausbreitung einer Raumladungszone zwischen den MOS-Zellen der Startup-Zelle und dem Source-Gebiet der Gatedrive-Zelle in der Lage ist, das Gate der Startup-Zelle in jedem Fall sicher anzusteuern. Das Source-Gebiet der Gatedrive-Zellen stellt sich bei Überschreiten einer durch die Ausgestaltung dieses Source-Gebietes vorgebbaren Schwellspannung im Lastkreis des Halbleiter-Bauelementes auf die Punch-Through-Spannung ein.

Zur Ansteuerung des zweiten Gates der Startup-Zelle wird eine minimale Leistung benötigt, da MOS-Gates infolge ihrer kapazitiven Kopplung zum Substrat eine minimale Gateladung benötigen. Diese minimale Ladung muß während der Ausbreitung der Raumladungszone von dem Source-Gebiet der Gatedrive-Zelle gesammelt werden. Gleichzeitig muß das Potential der Source-Gebiete der Gatedrive-Zelle gegenüber dem Source-Potential der Startup-Zelle mindestens um den Betrag der Einsatzspannung der Startup-Zelle höher liegen. Deshalb muß ein mit dem Source-Gebiet der Gatedrive-Zelle verbundenes Ladungsträgerreservoir vorhanden sein.

Dies bedeutet nichts anderes, als daß das Source-Gebiet der Gatedrive-Zelle so ausgestaltet sein muß, daß durch die Bildung eines elektrischen Feldes eine effektive Sammlung der Ladung durch die Gatedrive-Zelle ermöglicht wird. Deshalb wird das Source-Gebiet der Gatedrive-Zelle so ausgestaltet, daß sie sich bei Ausbreitung der Raumladungszone zwischen dem

Source-Gebiet der Startup-Zelle und dem Drain-Gebiet komplett ausräumt. Das von diesem Gebiet gegenüber dem Substrat erzeugte lokale elektrische Feld muß so hoch sein, daß die Ausräumladeung auch bei einem positiven Potential des Source-Gebietes der Gatedrive-Zelle gegenüber dem Potential der Startup-Zellen bzw. dem Potential der Wannen vom zweiten Leitfähigkeitstyps der MOS-Zellen des aktiven Zellenfeldes in das Source-Gebiet der Gatedrive-Zelle fließt und diese weiter auflädt. Die Ausgestaltung eines derartigen Gebietes, eines vergrabenen Gebietes, ist von sogenannten Kompensationsbauelementen bekannt. Diese Gebiete sind vorteilhafterweise gegenüber einem Standardprozeß bei Kompensationsbauelementen ohne weitere Zusatzmaske einfach herstellbar. Das Herstellungsverfahren ist beispielsweise in der nicht vorveröffentlichten deutschen Anmeldung 198 40 032 beschrieben. Bei einem vertikal ausgebildeten Halbleiter-Bauelement wird deshalb das Source-Gebiet vorteilhafterweise orthogonal bzgl. der Hauptseiten des ersten Substrats in Richtung des Drain-Gebietes hin ausgedehnt.

20 In einer vorteilhaften Ausgestaltung können ebenfalls die Wannen vom zweiten Leitfähigkeitstyp der MOS-Zellen und der Startup-Zellen orthogonal bezüglich einer Hauptseite des Halbleiter-Bauelementes in Richtung der Drain-Elektrode ausgebildet sein. Die Vorteile bestehen darin, daß hierdurch im aktiven Zellenfeld des Halbleiter-Bauelementes eine hohe Avalanche-Festigkeit und eine große Strombelastbarkeit vor bzw. im Durchbruch ermöglicht ist.

30 Im Falle eines lateral ausgebildeten Halbleiter-Bauelementes wird das Source-Gebiet der Gatedrive-Zellen vorteilhafterweise parallel zu den Hauptseiten des Substrats in Richtung des Drain-Gebietes ausgebildet. Das Source-Gebiet der Gatedrive-Zellen kann dabei entlang der Oberseite im Substrat des Halbleiter-Bauelementes verlaufen.

Die Dimensionierung des Source-Gebietes der Gatedrive-Zelle erfolgt so, daß die Ladung dieses Gebietes ausreicht, das zu schaltende Gate aller Startup-Zellen, deren Gates mit dem Source-Gebiet der Gatedrive-Zellen verbunden sind, mindestens auf die Einsatzspannung der Startup-Zellen aufzuladen. Unter Dimensionierung kann hier sowohl die räumliche Ausgestaltung als auch die Dotierung des Source-Gebietes verstanden werden. Da in der Praxis parasitäre Kapazitäten und Leckströme auftreten ist eine Dimensionierung vorteilhaft, bei der beispielsweise mit einer Gatedrive-Zelle das Gate zweier Startup-Zellen aufgeladen werden kann. Je nach der Ausgestaltung des Source-Gebietes der Gatedrive-Zelle müssen eventuell mehrere Gatedrive-Zellen zur Ansteuerung einer Startup-Zelle verwendet werden.

Um ein unbeabsichtigtes Latchen in dem Source-Gebiet zu verhindern ist es vorteilhaft, dieses ohne ein Gebiet vom ersten Leitfähigkeitstyp auszuführen. Somit wird auch bei einem hohen Löcherstrom ein Einschalten einer parasitären Bipolarstruktur in dem Source-Gebiet verhindert. Die bei der Herstellung einer konventionellen MOS-Zelle übliche Implantation ist deshalb vorteilhafterweise an den Stellen der Gatedrive-Zellen eine Fototechnik abzuschatten.

Da die Startup-Zellen auch bei anliegender hoher Drain-Source-Spannung des aktiven Zellenfeldes einen permanenten Ladestrom liefern, müssen sie sowohl kurzschlußfest als auch thermisch stabil sein. Zur Erzielung der Kurzschlußfestigkeit ist es vorteilhaft eine partielle Abschattung der Kanalschlußimplantation vorzunehmen. Ein derartiges Vorgehen ist beispielsweise in der nicht vorveröffentlichten deutschen Anmeldung 198 08 348 beschrieben.

In einer weiteren vorteilhaften Ausgestaltung sind die Source-Gebiete gegenüber den Startup-Zellen lateral isoliert zur Bildung von sogenannten "Surge-Detection-Zellen". Die Surge-Detection-Zellen sind derart ausgestaltet, daß die Durchbruchsspannung dieser Zellen unter den Wert der Durchbruchsspannung der MOS-Zellen des aktiven Zellenfeldes liegen. Die Source-Gebiete der Surge-Detection-Zellen können deshalb gegenüber den Wannen vom zweiten Leitfähigkeitstyp der MOS-Zellen des aktiven Zellenfeldes weniger weit in das Substrat reichen. Diese Gebiete sind vorteilhafterweise zur Kontaktierung mit einem Widerstand vorgesehen. Hierdurch wird auf einfache Weise eine Überspannungsdetektion erzielt. Alternativ oder zusätzlich kann die Dotierung der Surge-Detection-Zelle so gewählt sein, daß ihre Durchbruchsspannung einen geringeren Wert als die Durchbruchsspannung der MOS-Zellen des aktiven Zellenfeldes aufweist, z. B. durch eine Erhöhung der Dotierung des p-Gebietes 13' unterhalb der p-Wanne. Sobald die Drain-Source-Spannung des Halbleiter-Bauelementes die Durchbruchsspannung der Surge-Detection-Zelle überschreitet, fließt in dieser Zelle ein Strom, der das Potential dieser Zelle anhebt. Dieser Spannungsanstieg kann dann z.B. mittels eines Widerstandes detektiert werden und als Auslöser geeigneter Schutzmaßnahmen zum Beispiel durch ein Steuer-IC verwendet werden. Es wäre auch denkbar, über eine geeignete Metallisierung das Gate der MOS-Zellen der aktiven Zellenfelder direkt anzusteuern und zu schützen. Die Variation der Durchbruchsspannung läßt sich am einfachsten dadurch erzielen, daß die Source-Gebiete der Surge-Detection-Zelle weniger weit in das Substrat reichen gegenüber den Wannen vom zweiten Leitfähigkeitstyp der MOS-Zellen des aktiven Zellenfeldes. Dann kann der von den Kompensationselementen bekannte Herstellungsprozeß vorteilhafterweise eingesetzt bzw. variiert werden.

Der Vorteil der Surge-Detection Zelle besteht folglich darin, daß auf einfache Weise eine Aktiv-Zenerung realisiert werden kann, die vollkommen von externen Schaltungsmaßnahmen unabhängig ist. Der Potentialanstieg der Surge-Detection-Zelle kann direkt dazu benutzt werden, über mehrere Startup-Zellen das erste Gate der MOS-Zellen des aktiven Zellenfeldes einzuschalten. Dadurch sinkt die Drain-Source-Spannung des Halbleiter-Bau-elementes und entsprechend das Potential der Surge-Detection-Zelle. Es stellt sich folglich eine stabile Situation ein, bei der eine von 0 verschiedene erste Gatespannung vorliegt und wobei sich eine Drain-Source-Spannung oberhalb der Durchbruchsspannung der Surge-Detection-Zelle aber unterhalb der Durchbruchsspannung des Haupttransistors einstellt. Das Halbleiter-Bauelement ist somit geschützt und kann nicht in den Avalanche gehen.

Bei einer Beschaltung mit einem externen Widerstand wird das erste Gate nur bei Überschreiten der Durchbruchsspannung der Surge-Detection-Zelle eingeschaltet. Wird jedoch die Schwellenspannung im Bereich der Punch-Through-Spannung des Surge-Detection/ Startup-Zellenfeldes überschritten, bleibt das erste Gate des Halbleiter-Bauelementes ausgeschaltet. Zum Schutz der Surge-Detection-Zelle muß der externe Widerstand so dimensioniert werden, daß bei einer maximalen Stromtragfähigkeit der Surge-Detection-Zelle das Drain-Potential die Durchbruchsspannung des Haupttransistors überschreitet. Bildlich gesehen schneidet man folglich die in etwa rechteckige Durchbruchskennlinie des aktiven Zellenfeldes mit einer Widerstandsgeraden an. Vorteilhafterweise wird die Surge-Detection-Zelle lateral so isoliert, daß der Spannungsanstieg des Source-Gebietes der Surge-Detection-Zelle weder zum Einschalten der Body-Diode gegenüber dem Substrat noch zum Durchbruch gegenüber auf dem Source-Potential liegender Nachbarzellen führt. Geeignete Randstrukturen sind zum Beispiel

in der nicht vorveröffentlichten deutschen Anmeldung 197 48 524 beschrieben.

Die Dimensionierung der selbsteinschaltenden Struktur aus  
5 Startup-Zellen und parasitären Gatedrive-Zellen kann vorteil-  
hafterweise durch eine Kaskadierung mehrerer Stufen von Ga-  
tedrive-Zellen bzw. Startup-Zellen erleichtert werden. So  
kann man beispielsweise mit mehreren Gatedrive-Zellen 10  
10 Startup-Zellen einschalten, wobei deren Ladestrom zum Ein-  
schalten von weiteren 1000 Startup-Zellen verwendet wird. Der  
Strom dieser Zellen kann dann zum raschen Einschalten eines  
großflächigen aktiven Zellenfeldes genutzt werden.

Falls die Drain-Source-Spannung den Wert des extern gepuffer-  
15 ten Source-Potentials der Startup-Zellen unterschreitet, er-  
lischt der Ladestrom der Startup-Zellen. Hierdurch läßt sich  
beispielsweise eine Spannungsnullpunkterkennung oder ein Sta-  
tussignal realisieren.

20 Zum erneuten Einschalten der Startup-Zellen muß dann die ver-  
grabene Ladung im Source-Gebiet der Gatedrive-Zelle erneuert  
werden. Da das Potential der Source-Gebiete der Gatedrive-  
Zelle floatet, kann dies nicht durch eine Diffusion von Lö-  
chern aus dem Source-Gebiet selbst geschehen, da von außen  
25 kein Strom nachgeliefert werden kann. Die benötigte Ladung  
kann jedoch durch Injektion von Löchern aus dem Source-Gebiet  
der Startup-Zellen bereitgestellt werden. Hierzu muß das  
Source-Gebiet in den Startup-Zellen mit einem kleinen Konden-  
sator verbunden werden, so daß das Potential der Wanne vom  
30 zweiten Leitfähigkeitstyp der Startup-Zellen auf einer posi-  
tiven Spannung gehalten wird. Sobald die Drain-Source-  
Spannung der Startup-Zelle unter dieses Potential sinkt, in-  
jiziert die Body-Diode Löcher. Somit wird eine noch vorhande-  
ne Raumladungszone unterhalb der Gatedrive-Zelle sehr schnell  
35 abgebaut, da die verarmten Source-Gebiete gegenüber dem Sub-

strat in Sperrichtung gepolt sind und damit für die injizierten Löcher in der Nachbarschaft das negativste Potential darstellen. Das Source-Gebiet der Gatedrive-Zelle wird somit mit Löchern geflutet und steht damit einem wiederholten Einschaltzyklus wieder zur Verfügung.

Das erfindungsgemäße Halbleiter-Bauelement ist sowohl für n-Kanal- als auch für p-Kanal-Transistoren einsetzbar. Wird das Halbleiter-Bauelement als IGBT ausgeführt, so wird keine Rücksetzstruktur benötigt, da die Löcher über einen Rückseitenemitter injiziert werden können. Bei starker Injektion an Ladungsträgern kann jedoch das Potential der Gatedrive-Zelle sehr weit über das Potential der Startup-Zelle ansteigen, womit die Gefahr einer Gate-Oxid Zerstörung besteht. Dies kann dadurch verringert werden, daß die Spannung zwischen der Startup-Zelle und dem Source-Gebiet der Gatedrive-Zelle begrenzt wird.

Die Erfindung wird anhand der nachfolgenden Figuren näher erläutert. Es zeigen:

- Figur 1 ein einfaches elektrisches Ersatzschaltbild des erfindungsgemäßen Halbleiter-Bauelementes,
- Figur 2 einen Querschnitt durch einen Teil eines erfindungsgemäßen vertikalen Halbleiter-Bauelementes,
- Figur 3 eine Draufsicht auf die prinzipielle Anordnung der Zellen des erfindungsgemäßen vertikalen Halbleiter-Bauelementes,
- Figur 4 ein elektrisches Ersatzschaltbild des erfindungsgemäßen Halbleiterbauelementes, anhand dessen die physikalische Wirkungsweise erklärt werden kann,

- Figur 5 ein weiteres elektrisches Ersatzschaltbild für das erfindungsgemäße Halbleiterbauelement, das das Prinzip der Kaskadierung verdeutlicht,
- Figur 6 eine prinzipielle Zellenanordnung und deren elektrische Verschaltung bei einer Kaskadierung und
- 5 Figur 7 einen Schnitt durch einen Teil eines erfindungsgemäßen lateralen Halbleiter-Bauelementes.

Figur 1 zeigt ein einfaches elektrisches Ersatzschaltbild eines erfindungsgemäßen Halbleiter-Bauelementes 20. Das Halbleiter-Bauelement 20 weist einen n-Kanal-MOSFET M auf, der aus einer Vielzahl an parallel geschalteten MOS-Zellen gebildet ist, die das aktive Zellenfeld des Halbleiter-Bauelementes 20 darstellen. Ein Drain-Anschluß D und ein

10 Source-Anschluß S bilden die beiden Lastanschlüsse des Halbleiter-Bauelementes 20. An den Lastanschlüssen D, S liegt eine hohe Spannung an, die zum Beispiel im Bereich von mehreren 100 V liegen könnte. Ferner ist ein weiterer n-Kanal-MOSFET SU vorgesehen, der mit seinem Drain-Anschluß mit dem Drain-

15 Anschluß D des MOSFETs M verbunden ist. Ein parasitärer Transistor GD ist mit seinem Drain-Anschluß ebenfalls mit dem Drain-Anschluß D des MOSFETs M verbunden. Sein Gate-Anschluß ist einerseits mit dem Gate-Anschluß des MOSFETs SU und andererseits mit dem Source-Anschluß S<sub>GD</sub> des Transistors GD verbunden.

20 Das Potential des Source-Anschlusses S<sub>GD</sub> floatet gegenüber dem Source-Potential der MOSFETs M und SU.

In der Praxis wird ein Kondensator 21 zwischen dem Source-Kontakt S des MOSFETs M und dem Source-Kontakt S<sub>GD</sub> des MOSFETs SU angeschlossen sein, wie dies in der Figur 1

30 strichliert angedeutet ist. Durch die kapazitive Kopplung der beiden Source-Anschlüsse ist der parasitäre Transistor GD beim Überschreiten einer bestimmten Schwellenspannung zwischen dem Drain-Anschluß D und dem Source-Anschluß S in der

35 Lage, den MOSFET SU leitend zu schalten, der dann beispielsweise



weise einen Steuer-IC mit einem im Vergleich zu den Lastanschlüssen niedrigen Spannungspotential ansteuern könnte, welcher seinerseits mit dem Gate G des MOSFETs zur Ansteuerung verbunden sein könnte. Die Höhe der Schwellenspannung, bei  
5 der der Halbleiter-Schalter SU leitend gesteuert wird, kann durch technologische Maßnahmen (Implantationsdosis, Gateoxid-dicke) festgelegt werden.

Die Figur 2 zeigt einen Querschnitt durch das erfindungsgemä-  
10 ße vertikale Halbleiter-Bauelement. Das Halbleiter-Bauelement 20 weist ein Substrat 1 mit einer ersten Seite I und einer zweiten Seite II auf, welches im vorliegenden Beispiel n-leitend ist. Auf der zweiten Seite II ist ein hochdotiertes Gebiet vom gleichen Leitfähigkeitstyp angeordnet, welches das  
15 Drain-Gebiet 2 darstellt. Auf dem Drain-Gebiet 2 ist auf der vom Substrat 1 abgewandten Seite eine Metallisierung aufgebracht, die einen Drain-Kontakt 3 darstellt.

Auf der ersten Seite I des Substrates 1 ist eine Vielzahl an  
20 MOS-Zellen M vorgesehen, wobei stellvertretend für die Vielzahl nur zwei MOS-Zellen M dargestellt sind. Eine MOS-Zelle M weist dabei eine in das Substrat 1 eingebrachte und an die erste Seite I reichende erste Wanne 4 von einem dem Substrat entgegengesetzten Leitungstyp, im vorliegenden Fall p, auf.  
25 In dieser p-Wanne 4 ist ein erstes Source-Gebiet 5 eingebracht, das n-leitend ist. Dieses Source-Gebiet 4 reicht an die erste Seite I des Substrats 1.

Auf der ersten Seite I des Substrats 1 ist eine Isolierschicht 8 aufgebracht. Diese Isolierschicht 8 ist an den  
30 Stellen der ersten Source-Gebiete 5 der MOS-Zellen M durchbrochen, so daß das erste Source-Gebiet 5 mit einem ersten Source-Kontakt 6 elektrisch leitend in Verbindung steht. Auf der Isolierschicht 8 ist ein erstes Gate 7 aufgebracht, das

die p-Wanne 4 teilweise überdeckt und ebenfalls über einen (nicht gezeigten) metallischen Gate-Kontakt verbunden ist.

Durch eine laterale Isolation 8 von den MOS-Zellen M getrennt, sind in dem Substrat 1 weitere MOS-Zellen SU vorgesehen. Die weiteren MOS-Zellen, sogenannte Startup-Zellen SU sind dabei genauso wie die MOS-Zellen M aufgebaut. Dies bedeutet, in das Substrat 1 ist eine p-Wanne 4' eingelassen, in welche ihrerseits ein Source-Gebiet 5', das an die erste Seite I reicht, eingelassen ist. Das Source-Gebiet 5' ist mit einem zweiten Source-Kontakt 6', welcher durch die Isolierschicht 8 reicht, elektrisch verbunden. Der erste und der zweite Source-Kontakt 6, 6' weisen keine elektrische Verbindung zueinander auf; gleiches gilt für die entsprechenden (nicht gezeigten) Gate-Kontakte.

Auf der Isolierschicht 8 befindet sich ein zweites Gate 7', welches die p-Wanne 4' zumindest teilweise überdeckt. Das Gate 7' überdeckt weiterhin teilweise ein Source-Gebiet 11, das zusammen mit der p-Wanne 4' und dem Substrat 1 einen parasitären pnp-Transistor bildet. Dieser wird als sogenannte Gatedrive-Zelle GD bezeichnet. Die Gatedrive-Zellen GD stehen mit dem Gate 7' in elektrischer Verbindung. Die elektrische Verbindung dem Gate 7' zum Beispiel über eine metallische Kontaktierung 10 erfolgen.

Um beim Überschreiten einer Schwellenspannung zwischen dem Drain-Kontakt 3 und dem ersten Source-Kontakt 6 des Halbleiter-Bauelementes ein Durchschalten der Startup-Zellen SU sicherzustellen, ist das p-Gebiet 11 so beschaffen, daß die darin befindliche Ladung ausreicht, das zweite Gate 7' auf ein ausreichend hohes Potential zu bringen. Deshalb ist unterhalb des p-Gebietes 11 ein weiteres Gebiet 11' vom gleichen Leitfähigkeitstyp vorgesehen, das elektrisch gut leitend mit dem p-Gebiet 11 verbunden ist. In der Figur 3 ist die be-

vorzugte Ausgestaltung der p-Gebiete 11, 1' dargestellt, das heißt das p-Gebiet 11' erstreckt sich othogonal von der ersten Seite I zur zweiten Seite II des Halbleiter-Bauelementes. Um die Strombelastbarkeit vor bzw. im Durchbruch zu erhöhen und auch eine hohe Avalanche-Festigkeit der MOS-Zellen M zu erreichen, ist unterhalb der p-Wannen 4 ebenfalls ein othogonal zur ersten Seite I ausgebildetes p-Gebiet 12 vorgesehen. Gleiches gilt ebenfalls für die Startup-Zellen SU, in denen unterhalb der zweiten p-Wanne 4' ein vergrabenes p-Gebiet 12' vorhanden ist.

In der Figur ist das vergrabene p-Gebiet 11 von (im Querschnitt) zwei Startup-Zellen SU umgeben. Denkbar wäre auch, eine Startup-Zelle SU mit vergrabenen p-Gebieten 11 zu umgeben.

Weiterhin ist in Figur 3 eine sogenannte Surge-Detection-Zelle SD dargestellt, die prinzipiell ähnlich wie eine Gatedrive-Zelle GD aufgebaut ist. Auch die Surge-Detection-Zelle ist SD weist unterhalb ihres p-Gebietes SD ein vergrabenes p-Gebiet 13 auf, das jedoch gegenüber den p-Gebieten 12 der MOS-Zellen M weniger weit in Richtung der zweiten Seite ausgebildet ist. Hierdurch weist die Surge-Detection-Zelle SD gegenüber der MOS-Zelle M eine verringerte Durchbruchsspannung auf. Sie kann dann bei Beschaltung mit einem externen Widerstand als Überspannungsdetektion verwendet werden. Weiterhin ist bei geeigneter Verschaltung mit den Startup-Zellen eine aktive Zenerung des Halbleiter-Bauelementes möglich. Die Surge-Detection-Zelle SD ist weiterhin lateral gegenüber den Startup-Zellen SU isoliert.

Wird die hochdotierte n+-Schicht 2 durch eine p-Schicht ersetzt, so ist das Halbleiter-Bauelement als IGBT ausgeführt, während in der vorliegenden Zeichnung ein MOSFET die Grundstruktur bildet.

Figur 3 zeigt eine mögliche Anordnung der verschiedenen Zell-  
lentypen des erfindungsgemäßen Halbleiter-Bauelementes in ei-  
ner Draufsicht. Im vorliegenden Fall sind die Gatedrive-  
5 Zellen GD ausschließlich von Startup-Zellen SU umgeben. Es  
wäre jedoch auch denkbar, mehrere Startup-Zellen ausschließ-  
lich mit Gatedrive-Zellen zu umgeben. Diese Anordnung ist ih-  
rerseits wiederum von einer lateralen Isolation umgeben, die  
wiederum von MOS-Zellen M umgeben ist. Das Layout der einzel-  
10 nen Zellen kann dabei in bekannter Weise erfolgen. Es ist ein  
Streifenlayout möglich, die Zellen können einen kreisförmigen  
Querschnitt aufweisen und eine hexagonale Flächenpackung ein-  
nehmen oder bei einem kreisförmigen Querschnitt eine in etwa  
quadratische Flächenpackung einnehmen oder einen streifenför-  
15 migen Querschnitt aufweisen. Gleiches gilt für die Ausgestal-  
tung der Startup-Zellen und der Gatedrive-Zellen.

Figur 4 zeigt ein elektrisches Ersatzschaltbild für das aus  
Figur 3 bekannte, erfindungsgemäße Halbleiterbauelement, an-  
20 hand dessen die physikalische Wirkungsweise besonders gut er-  
sichtlich wird. Das erfindungsgemäße Halbleiterbauelement 20  
weist einen MOSFET M auf, der aus einer Vielzahl der parallel  
geschalteten MOS-Zellen besteht, die das aktive Zellenfeld  
bilden. Drainseitig ist der MOSFET M mit dem Drainanschluß  
25 eines weiteren MOSFET SU verbunden. Sourceseitig ist der  
MOSFET SU über einen integrierten Schaltkreis IC mit dem Gate  
G des MOSFETs M verbunden. Es wäre auch denkbar, den Source-  
anschluß des MOSFETs SU direkt mit dem Gate des MOSFETs M zu  
verbinden. Mit C2 ist eine Kapazität bezeichnet, die die Ga-  
30 te-Source-Kapazität des MOSFETs SU darstellt. Zwischen dem  
Gate und dem Drainanschluß des MOSFETs SU ist eine weitere  
Kapazität C1 verschalten. Diese Kapazität repräsentiert die  
in dem vergrabenen p-Gebiet 11, 11' vorhandene Ladung (Raum-  
ladungszonenkapazität). Der Kapazität C1 ist weiterhin eine  
35 Diode D1 parallel geschaltet, wobei deren Anodenanschluß mit

dem Gate des MOSFETs SU in Verbindung steht, während der Katodenanschluß mit dem Drainanschluß D verbunden ist. Zwischen dem Gate und dem Source des MOSFETs SU sind zwei Zenerdioden ZD1, ZD2 antiseriell verschalten. Dies bedeutet der Anodenanschluß der Zenerdiode ZD1 steht mit dem Gate des MOSFETs SU in Verbindung, die Katodenanschlüsse der Zenerdioden ZD1, ZD2 sind miteinander verbunden, während der Anodenanschluß der Zenerdiode ZD2 mit dem Source S<sub>GU</sub> des MOSFETs SU verbunden ist. Die Kapazität C1, die Diode D1 sowie die beiden Zenerdioden ZD1, ZD2 bilden die Gatedrive-Zelle GD. Das Gate des MOSFETs SU stellt fernerhin den „Source-Anschluß S<sub>GD</sub>“ der Gatedrive-Zelle GD dar. In der Figur ist ferner strichliert ein externer Ladungsspeicher 21 dargestellt, der zwischen den Sourceanschlüssen, den MOSFETs SU, M verschalten ist.

Die Diode D1 stellt den Übergang zwischen dem vergrabenen p-Gebiet 11, 11' und dem Substrat 1 dar. Die antiseriell verschalteten Zenerdioden ZD1, ZD2, bilden den parasitären Transistor zwischen dem vergrabenen p-Gebiet 11, dem Substrat 1 sowie der p-Wanne 4' der Startup-Zelle SU. Die Beabstandung zwischen der Startup-Zelle und dem vergrabenen p-Gebiet 11, 11' ist derart, daß die beiden Zenerdioden ZD1, ZD2 idealerweise eine Sperrspannung von ca. 8 Volt aufweisen. Die Dimensionierung von ZD1, ZD2 sollte im Idealfall identisch sein. Die Einsatzspannung des MOSFETs SU sollte bei ca. 4 bis 5 Volt liegen. Das Leitendschalten des MOSFETs M durch Anlegen einer hohen Spannung zwischen den Drain- und den Sourceanschluß kann wie folgt erklärt werden: Die Gatedrive-Zelle GD dient als Steuerelektrode für den MOSFET SU. Dies bedeutet, in der Gatedrive-GD selbst fließt kein Strom, es wird lediglich beim Anlegen einer hohen Spannung zwischen dem Drain- und Sourceanschluß ein Strom zum Aufladen des Gates des MOSFETs SU bereitgestellt. Die Kapazität C1 bildet zusammen mit den antiseriell verschalteten Zenerdioden ZD1, ZD2 einen Spannungsteiler. Beim Anlegen der hohen Spannung zwischen den

Drainanschluß D und den Sourceanschluß S beginnt das Potential am Mittelabgriff dieses Spannungsteilers zu steigen. Die in der Kapazität C1 gespeicherte Ladung, die aus dem vergrabenen Gebiet 11, 11' bereitgestellt wird, beginnt die Gate-  
5 Source-Kapazität C2 des MOSFETs SU aufzuladen. Hierdurch bedingt schaltet der MOSFET SU durch, es kann ein Strom zum Sourceanschluß S<sub>GU</sub> des MOSFETs SU fließen. Bedingt durch die externe Kapazität 21 beginnt das Potential am Sourceanschluß S<sub>GU</sub> anzusteigen. Die Zenerdiode ZD2 übernimmt nun eine spannungsbegrenzende Funktion, d.h. die Spannung zwischen dem Gate-  
10 anschluß und dem Sourceanschluß des MOSFETs SU wird auf einem Wert von ca. 8 Volt gehalten. Dieser Wert kann durch die Dimensionierung der Zenerdioden ZD1, ZD2 eingestellt werden. Aufgrund dieser permanenten Potentialdifferenz bleibt der  
15 MOSFET SU leitend.

Die Kapazität 21 ist nun so dimensioniert, daß der am Sourceanschluß S<sub>GU</sub> anliegende Spannungswert eine Höhe erreicht, mit der der integrierte Schaltkreis IC angesteuert werden kann.  
20 Dieser kann nun in geeigneter Weise das Gate des MOSFETs M ansteuern und diesen leitend schalten.

Das Ausschalten des MOSFETs M wird erst dann erreicht, wenn sich der MOSFET SU in einem gesperrten Zustand befindet.  
25 Hierzu ist es denkbar, den Sourceanschluß S<sub>GU</sub> mit dem Sourceanschluß S des MOSFETs M kurzzuschließen. Andererseits wäre es auch denkbar, den Sourceanschluß S<sub>GU</sub> mit dem Sourceanschluß S<sub>GD</sub> zu verbinden, so daß die Kapazität C2 entladen werden könnte.

30 Die Diode D1 repräsentiert gleichzeitig eine Surge-Detection-Zelle SD. Durch eine geeignete Dimensionierung, die entweder durch die Dotierung oder aber die Tiefe des vergrabenen Gebietes 13' bestimmt wird, ist eine aktive Zenerung des MOS-  
35 FETs M möglich. Die Durchbruchsspannung der Diode D1, die

dann als Zenerdiode wirkt, muß so eingestellt werden, daß sie kleiner ist als die Durchbruchsspannung des MOSFETs M. Wird die Durchbruchsspannung der Diode D1 überschritten, so liefert sie einen Ladestrom für das Gate des MOSFETs S<sub>GU</sub>, der in der beschriebenen Weise leitend gesteuert wird, und auf diese Weise den MOSFET M aufsteuert. Hierdurch kann eine Zerstörung des MOSFETs M verhindert werden.

Wie bereits im einleitenden Teil erwähnt, ist es auch denkbar, bei geeigneter Dimensionierung aller gezeigten Bauelemente, das Gate des MOSFETs M direkt mit dem Sourceanschluß des MOSFETs SU zu verbinden.

Figur 5 zeigt eine Erweiterung des Ersatzschaltbildes aus Figur 4. In dieser Figur ist eine Kaskadierung der Startup-Zellen verdeutlicht. Werden beispielsweise durch die Kapazität C1 die Gates von zehn Startup-Zellen SU aufgeladen, so kann mit dem am Sourceanschluß S<sub>GU</sub> erzeugten Strom das Gate von jeweils weiteren zehn Startup-Zellen S<sub>GU</sub>' angesteuert werden. Insgesamt leiten also 100 Startup-Zellen S<sub>GU</sub>', die wiederum jeweils zehn weitere Startup-Zellen S<sub>GU</sub>'' leitend steuern können. Es stehen dann 1000 Startup-Zellen S<sub>GU</sub>'' zur Verfügung, die die externe Kapazität 21 aufladen können. Mittels dieser einfachen Kaskadierung ist es möglich, auch ein großes aktives Zellenfeld (MOSFET M) anzusteuern. Im beschriebenen Beispiel wurde davon ausgegangen, daß eine Startup-Zelle SU in der Lage ist, zehn weitere Zellen leitend zu steuern. Entsprechend der Anzahl der Kaskadierungs-Stufen kann eine beliebige Ladung erzeugt werden, die ausreicht, einen MOSFET M leitend zu steuern.

In Figur 6 ist eine Draufsicht auf ein derartig kaskadiertes Zellenfeld dargestellt. Ein vergrabenes p-Gebiet 11 ist elektrisch mit zwei benachbarten Gates 6' verbunden. Die Gates 6' steuern die benachbarten Startup-Zellen SU auf, die Source-

seitig mit weiteren Gates 6'' elektrisch verbunden sind. Mittels der Gates 6'' können weitere 12 Startup-Zellen SU' aufgesteuert werden, die dann beispielsweise direkt mit dem Gate des MOSFETs M verbunden werden können.

5

Bei einer Kaskadierung der Startup-Zellen muß beachtet werden, daß die Gate-Metallisierung jeder Kaskade extern kontaktierbar ist. Um ein Abschalten des MOSFETs M zu erzielen, muß jede einzelne Kaskadierungs-Stufe abgeschaltet werden, so daß  
10 keinem der Startup-Zellen eine Ladung „stehen bleibt“.

15

In Figur 7 weisen die dargestellten Zellen ein quadratisches Layout auf. Es ist selbstverständlich auch denkbar, daß die Zellen kreisförmig oder hexagonal ausgebildet sind.

20

30

Figur 7 zeigt einen "Querschnitt durch ein lateral aufgebautes Halbleiter-Bauelement. Die Figur 7 zeigt auf der linken Seite die in bekannter Weise aufgebauten MOS-Zellen M. Gleichermaßen wie beim vertikal aufgebauten Halbleiter-Bauelement sind die Startup-Zellen S1 mit einem eigenen, zweiten Source-Kontakt versehen. Dieser zweite Source-Kontakt 6' ist gegenüber dem ersten Source-Kontakt 6 der MOS-Zellen M elektrisch isoliert. Die gegenseitige Isolation der Zellen wird durch eine laterale Isolation 9 bewerkstelligt. Die Gatedrive-Zelle GD ist als parasitärer Transistor zwischen dem vergrabenen p-Gebiet 11, dem Substrat 1 und der p-Wanne 4' ausgeführt, wobei die zum Laden des zweiten Gates 7' notwendige Ladung in den vergrabenen p-Gebieten 11, 11' vorhanden ist. Das vergrabene p-Gebiet 11' erstreckt sich von dem p-Gebiet 11 in Richtung des Drains 3 entlang der ersten Seite I des Substrates 1. Das vergrabene p-Gebiet 11' steht in gutem elektrischem Kontakt zum p-Gebiet 11. Ferner ist es nunmehr selbstverständlich, daß das p-Gebiet 11 mit dem zweiten Gate 7' elektrisch verbunden ist.

35



Mit dem vorliegenden Halbleiter-Bauelement ist es möglich, aus einer hohen Lastspannung an den Lastanschlüssen eines MOSFETs oder IGBTs ein Signal zu erzeugen, das zur Ansteuerung eines Steuer-ICs oder direkt der Steuerelektrode des

5 Halbleiter-Bauelementes geeignet ist.

## Patentansprüche

1. Vertikales Halbleiter-Bauelement mit folgenden Merkmalen:

- ein Substrat (1) vom ersten Leitfähigkeitstyp mit einer  
5 ersten und einer zweiten Seite (I, II), das auf der ersten Seite (I) von einer Isolierschicht ( ) bedeckt ist
- einer auf der zweiten Seite (II) aufgebrachten, höher dotierten Schicht (2) vom ersten Leitfähigkeitstyp, auf der ein metallischer Drainkontakt (3) aufgebracht ist
- 10 - einer Vielzahl an MOS-Zellen (M) auf der ersten Seite des Substrats (1) zur Bildung eines ersten Halbleiter-Schalters, wobei eine MOS-Zelle jeweils aufweist:
  - eine in das Substrat eingebrachte und an die erste Seite reichende erste Wanne (4) vom zweiten Leitfähigkeitstyp
  - 15 - ein in die Wanne (4) eingelassenes erstes Source-Gebiet (5) vom ersten Leitfähigkeitstyp, das an die erste Seite des Substrats (1) reicht und mit einem ersten metallischen Source-Kontakt (6), der sich durch die Isolierschicht erstreckt, verbunden ist
  - 20 - einem ersten Gate (7) auf der vom Substrat (1) abgewandten Seite der Isolierschicht (8), das die Wanne (4) teilweise überdeckt und mit einem metallischen Gate-Kontakt verbunden ist
- einer Mehrzahl an weiteren MOS-Zellen (SU) gleichen Aufbaus mit einer zweiten Wanne (4'), einem zweiten Source-Gebiet (5') und einem zweiten Gate (7') auf der ersten  
25 Seite (I) des Substrats (1) zur Bildung eines zweiten Halbleiter-Schalters, wobei die zweiten Source-Gebiete (5) der weiteren MOS-Zellen (SU) mit einem von dem ersten Source-Kontakt (6) elektrisch isoliertem zweiten Source-Kontakt (6) auf der ersten Seite (I) in Verbindung stehen, der sich durch die Isolierschicht (8) erstreckt
- 30 - zumindest einem in das Substrat eingelassenen und an die erste Seite reichendem Gebiet (11) vom zweiten Leitfähigkeitstyp, das mit dem zweiten Gate (7') der weiteren MOS-
- 35

Zellen (SU) in elektrischer Verbindung steht, wobei das Potential des Gebietes (11) gegenüber dem Potential der ersten und der zweiten Source-Gebiete (5, 5') der MOS-Zellen (M) und der weiteren MOS-Zellen (SU) floatet.

5

2. Vertikales Halbleiter-Bauelement nach Patentanspruch 1, dadurch gekennzeichnet, daß ein Gebiet (11, 11') vom zweiten Leitfähigkeitstyp ausschließlich von den weiteren MOS-Zellen (SU) umgeben ist zur  
10 Bildung einer die MOS-Zellen (M) einschaltenden Struktur (11, 11', SU).

3. Vertikales Halbleiter-Bauelement nach Patentanspruch 1, dadurch gekennzeichnet, daß  
15 zumindest einen der weiteren MOS-Zellen (SU) ausschließlich von Gebieten (GD) vom zweiten Leitfähigkeitstyp umgeben ist zur Bildung einer die MOS-Zellen (M) einschaltenden Struktur (11, 11', SU).

20 4. Vertikales Halbleiter-Bauelement nach Patentanspruch 2 oder 3, dadurch gekennzeichnet, daß die einschaltende Struktur (11, 11', SU) benachbart den MOS-Zellen (M) des ersten Halbleiter-Schalters angeordnet ist  
25 oder von den MOS-Zellen (M) umgeben ist.

5. Vertikales Halbleiter-Bauelement nach einem der Patentansprüche 2 bis 4, dadurch gekennzeichnet, daß  
30 zwischen den MOS-Zellen (M) und der die MOS-Zellen (M) einschaltenden Struktur (11, 11', SU) eine laterale Isolation (9) vorgesehen ist.

35 6. Vertikales Halbleiter-Bauelement nach einem der Patentansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t, daß  
das Gebiet (11, 11') derart in Richtung der zweiten Seite  
(II) ausgebildet ist, daß die darin vorhandene Ladung durch  
die Ausbreitung einer Raumladungszone zwischen den weiteren  
5 MOS-Zellen (SU) und dem Gebiet (GD) in der Lage ist, das Gate  
der weiteren MOS-Zellen (SU) anzusteuern.

7. Vertikales Halbleiter-Bauelement nach Patentanspruch 6,  
d a d u r c h g e k e n n z e i c h n e t, daß  
10 die Gebiete (11') orthogonal von der ersten Seite (I) zur  
zweiten Seite (II) hin ausgedehnt sind.

8. Vertikales Halbleiter-Bauelement nach einem der Patentan-  
sprüche 1 bis 7,  
15 d a d u r c h g e k e n n z e i c h n e t, daß  
die Wannen (4, 4') der MOS-Zellen (M) und der weiteren MOS-  
Zellen (SU) orthogonal von der ersten Seite (I) zur zweiten  
Seite (II) ausgedehnt sind.

20 9. Vertikales Halbleiter-Bauelement nach einem der Patentan-  
sprüche 1 bis 8,  
d a d u r c h g e k e n n z e i c h n e t, daß  
einige Gebiete (13) der Gebiete (11') gegenüber den weiteren  
MOS-Zellen (SU) lateral isoliert sind, wobei diese Gebiete  
25 (13) gegenüber den Wannen der MOS-Zellen (M) weniger weit in  
das Substrat.

10. Vertikales Halbleiter-Bauelement nach einem der Patentan-  
sprüche 1 bis 8,  
30 d a d u r c h g e k e n n z e i c h n e t, daß  
einige Gebiete (13) der Gebiete (11) gegenüber den weiteren  
MOS-Zellen (SU) lateral isoliert sind, wobei die Dotierung  
der Gebiete (13) so gewählt ist, daß die Durchbruchsspannung  
geringer als die Durchbruchsspannung der MOS-Zellen (M) ist.  
35

11. Laterales Halbleiter-Bauelement mit folgenden Merkmalen:

- einem ersten Substrat (1) vom ersten Leitfähigkeitstyp mit einer ersten und einer zweiten Seite (I, II), das auf der ersten Seite (I) von einer Isolierschicht bedeckt ist,
- 5 - einem auf der zweiten Seite (II) aufgebrachten zweiten Substrat vom zweiten Leitfähigkeitstyp,
- einer Vielzahl von MOS-Zellen (M) auf der ersten Seite (I) zur Bildung einer ersten Halbleiter-Schalters, wobei eine MOS-Zelle (M) jeweils aufweist
- 10 - ein in das Substrat eingebrachtes und an die erste Seite (I) reichendes erstes Source-Gebiet (5), das über eine, durch die Isolierschicht (8) gehende, erste Source-Elektrode (6) elektrisch kontaktiert ist,
- ein in das Substrat (1) eingebrachtes und an die erste
- 15 Seite reichendes Drain-Gebiet (2), das über eine durch die Isolierschicht (8) gehende Drain-Elektrode (3) elektrisch kontaktierbar ist,
- einer auf der vom ersten Substrat abgewandten Seite der Isolierschicht aufgebrachten ersten Gates (7), das zu-
- 20 mindest das erste Source-Gebiet (5) teilweise überdeckt,
- einer Mehrzahl an weiteren MOS-Zellen (SU), mit jeweils einem in das Substrat eingebrachten und an die erste Seite reichenden zweiten Source-Gebiet (5'), das über eine durch die Isolierschicht gehende zweite Source-Elektrode (6')
- 25 elektrisch kontaktierbar ist, sowie ein das zweite Source-Gebiet zumindest teilweise überdeckendes, zweites Gate (7')
- zumindest einem in das Substrat eingelassenen und an die erste Seite reichenden Gebiet (11, 11') vom zweiten Leit-
- 30 fähigkeitstyp, das elektrisch mit dem zweiten Gate (7') verbunden ist, wobei das Potential der Gebiete (11, 11') gegenüber dem Potential des ersten und zweiten Source-Gebietes (5, 5') floatet.

35 12. Laterales Halbleiter-Bauelement nach Patentanspruch 11,

d a d u r c h g e k e n n z e i c h n e t, daß  
das erste und/oder zweite Source-Gebiet (5, 5') aus einer  
Wanne vom zweiten Leitfähigkeitstyp besteht, in welcher ein  
an die erste Seite reichendes Gebiet vom ersten Leitfähig-  
5 keitstyp eingelassen ist, das mit der jeweiligen Source-  
Elektrode (6, 6') verbunden ist.

13. Laterales Halbleiter-Bauelement nach Patentanspruch 11  
oder 12,

10 d a d u r c h g e k e n n z e i c h n e t, daß  
zumindest ein Gebiet (11, 11') ausschließlich von den zweiten  
Source-Gebieten (5') umgeben ist zur Bildung einer die MOS-  
Zellen (M) eingeschlossenen Struktur (11, 11', SU).

15 14. Laterales Halbleiter-Bauelement nach Patentanspruch 11  
oder 12,

d a d u r c h g e k e n n z e i c h n e t, daß  
zumindest ein zweites Source-Gebiet (5') ausschließlich von  
den Gebieten (11, 11') umgeben ist zur Bildung einer die MOS-  
20 Zellen (M) einschaltenden Struktur (11, 11', SU).

15. Laterales Halbleiter-Bauelement nach Patentanspruch 13  
oder 14,

25 d a d u r c h g e k e n n z e i c h n e t, daß  
die die MOS-Zellen einschaltende Struktur (11, 11', SU) be-  
nachbart den MOS-Zellen (M) angeordnet ist oder von den MOS-  
Zellen umgeben ist.

16. Laterales Halbleiter-Bauelement nach Patentanspruch 13  
30 bis 15,

d a d u r c h g e k e n n z e i c h n e t, daß  
zwischen den MOS-Zellen (M) und der die MOS-Zellen (M) ein-  
schaltenden Struktur eine laterale Isolation (9) vorgesehen  
ist.

17. Laterales Halbleiter-Bauelement nach Patentanspruch 11 bis 16,  
dadurch gekennzeichnet, daß  
mit dem Gebiet (11, 11') ein weiteres Gebiet derart verbunden  
5 ist, daß die darin vorhandene Ladung durch die Ausbreitung  
einer Raumladungszone zwischen dem zweiten Source-Gebiet (5')  
und dem Gebiet (11, 11') in der Lage ist, das zweite Gate an-  
zusteuern.
- 10 18. Laterales Halbleiter-Bauelement nach Patentanspruch 17,  
dadurch gekennzeichnet, daß  
das sich das weitere Gebiet ( ) in Richtung der Drain-  
Elektrode im ersten Substrat erstreckt.
- 15 19. Laterales Halbleiter-Bauelement nach Patentanspruch 18,  
dadurch gekennzeichnet, daß  
sich das weitere Gebiet (11') entlang der ersten Seite er-  
streckt.
- 20 20. Halbleiter-Bauelement nach einem der Patentansprüche 1  
bis 19,  
dadurch gekennzeichnet, daß  
der erste Leitfähigkeitstyp n-leitend ist.
- 25 21. Halbleiter-Bauelement nach einem der Patentansprüche 1  
bis 20,  
dadurch gekennzeichnet, daß  
die weiteren MOS-Zellen (SU) und/oder die Gebiete (11, 11')  
kaskadiert verschalten sind.

## Zusammenfassung

## Halbleiter-Bauelement

- 5 Es wird ein Halbleiter-Bauelement vorgeschlagen, das ein Substrat vom ersten Leitfähigkeitstyp mit einer ersten und zweiten Seite beinhaltet und das eine Vielzahl an MOS-Zellen (M) auf der ersten Seite des Substrats (1) aufweist. Es sind weitere MOS-Zellen gleichen Aufbaus vorgesehen, die sich das
- 10 Drain mit der Vielzahl MOS-Zellen (M) teilen, während sie über eigene Source-Metallisierung verfügen und somit elektronisch von den Source-Gebieten der MOS-Zellen (M) getrennt sind. Gleichermäßen weisen die weiteren MOS-Zellen ein vom ersten Gate (7) der MOS-Zellen (M) elektrisch isoliertes
- 15 zweites Gate (7') auf. Weiterhin ist ein in das Substrat eingelassenes und an die erste Seite reichendes Gebiet vom zweiten Leitfähigkeitstyp vorgesehen, das mit dem zweiten Gate (7') der weiteren MOS-Zellen in elektrischer Verbindung steht, wobei das Potential dieses Gebietes (GD) gegenüber dem
- 20 ersten und dem zweiten Source-Potential der MOS-Zellen (M) und der weiteren MOS-Zellen (SU) floatet.

Figur 2



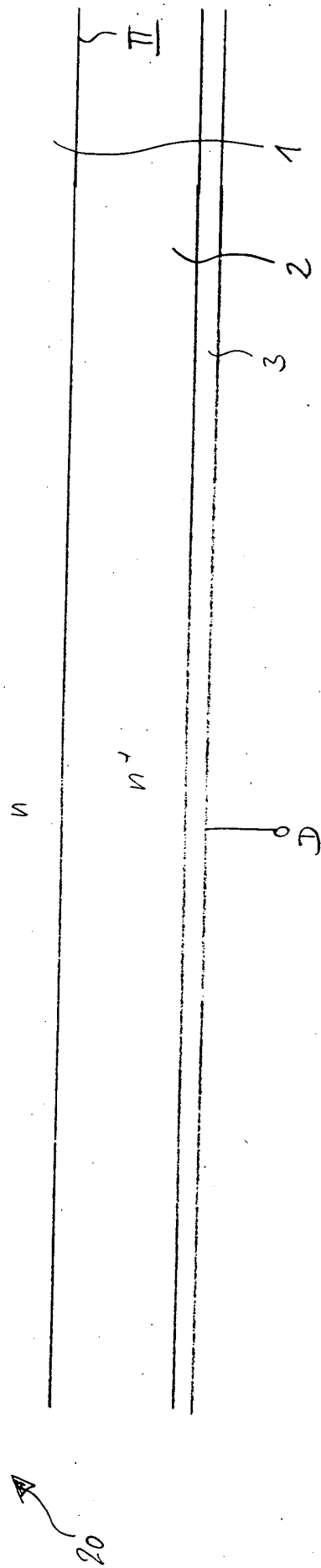
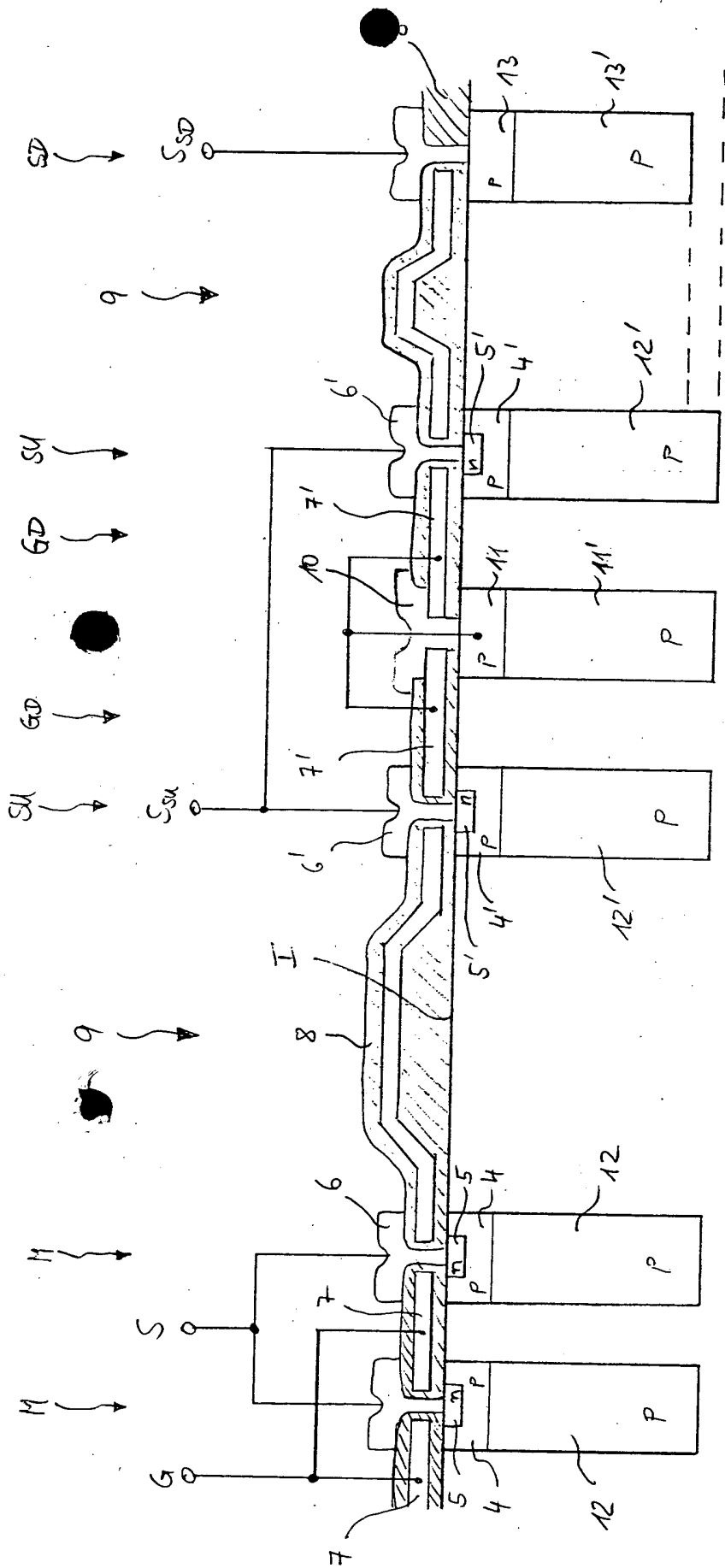


Fig. 2

## Bezugszeichenliste

	1	erstes Substrat (erster Leitfähigkeitstyp)
	2	Drain
5	3	Drain-Kontakt
	4	erste Wanne
	5	erstes Source-Gebiet
	6	erster Source-Kontakt
	7	erstes Gate
10	8	Isolierschicht
	4'	zweite Wanne
	5'	zweites Source-Gebiet
	6'	zweiter Source-Kontakt
	7'	zweites Gate
15	9	laterale Isolation
	10	Metall-Kontakt
	11	vergrabenes p-Gebiet
	11'	vergrabenes p-Gebiet
	12	vergrabenes p-Gebiet
20	12'	vergrabenes p-Gebiet
	13	vergrabenes p-Gebiet
	13'	vergrabenes p-Gebiet
	20	Halbleiter-Bauelement
	I	erste Seite des Substrats
25	II	zweite Seite des Substrats
	M	MOS-Zellen
	SU	MOS-Zellen
	GD	parasitärer pnp-Transistor

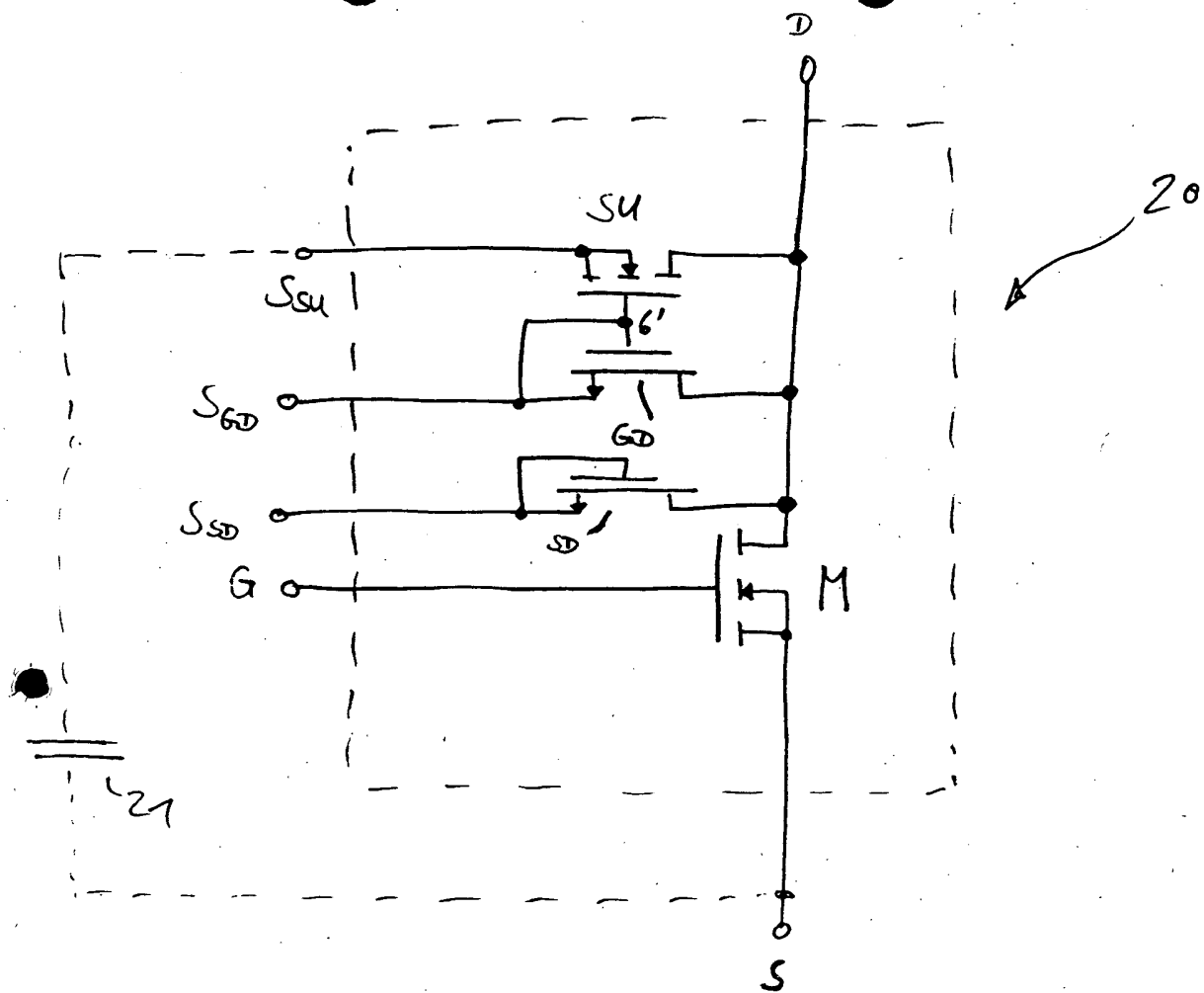


Fig. 1

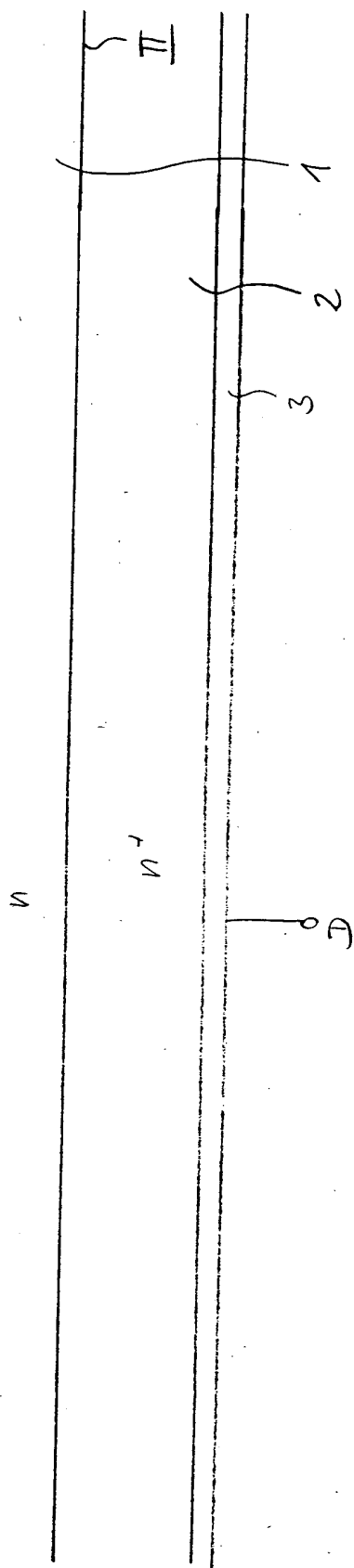
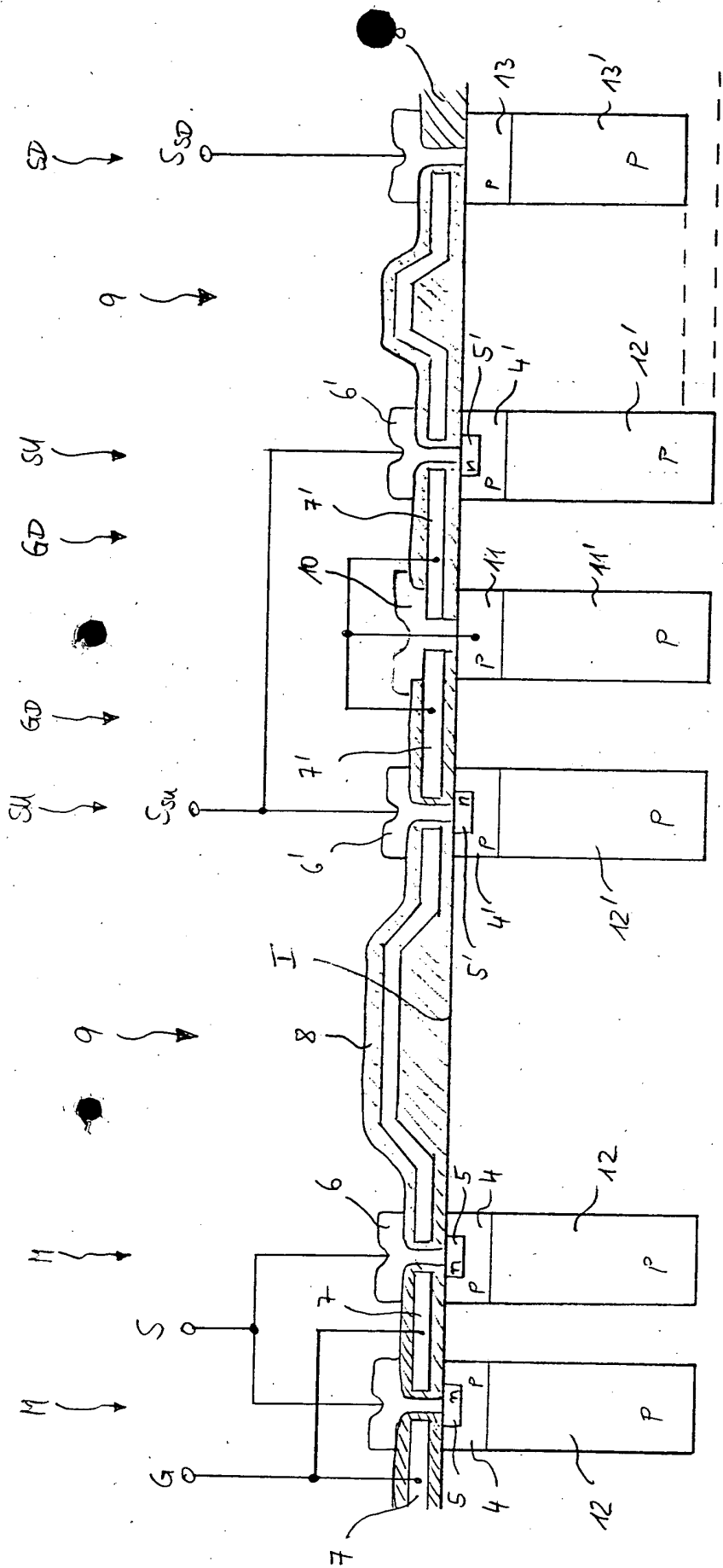


Fig. 2

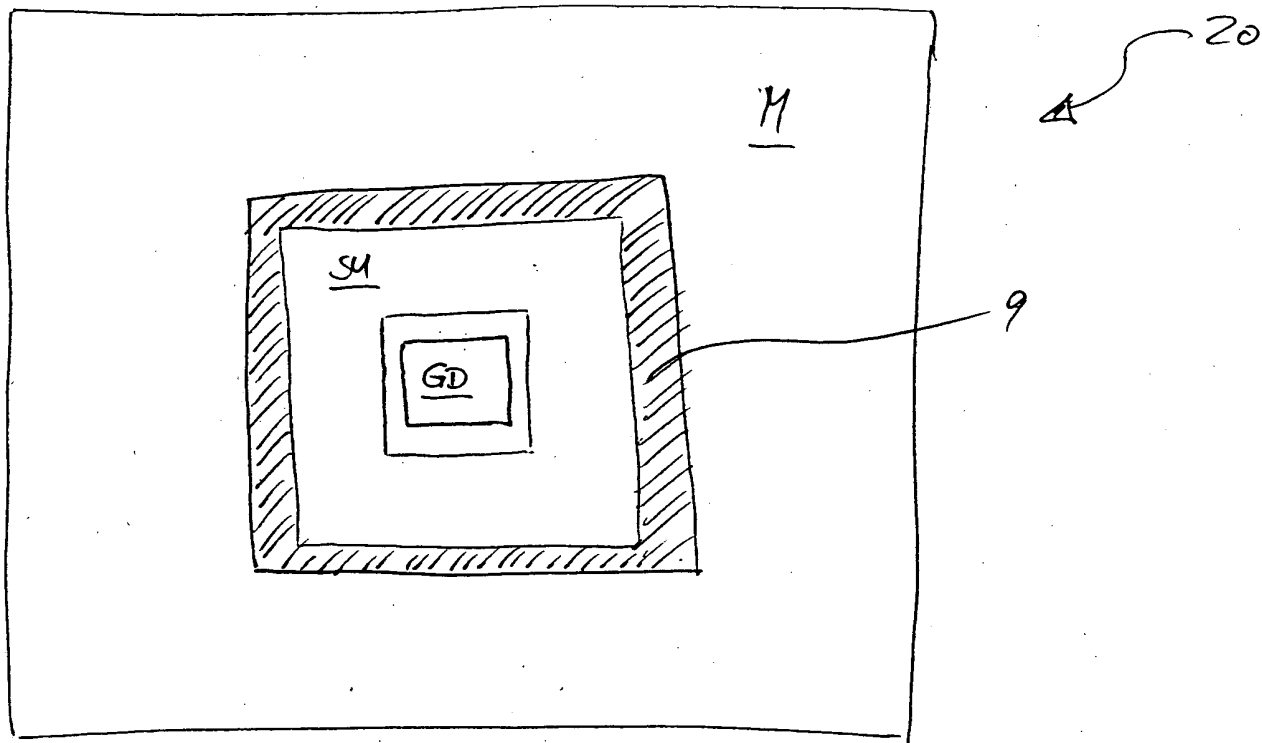


fig. 3

10499

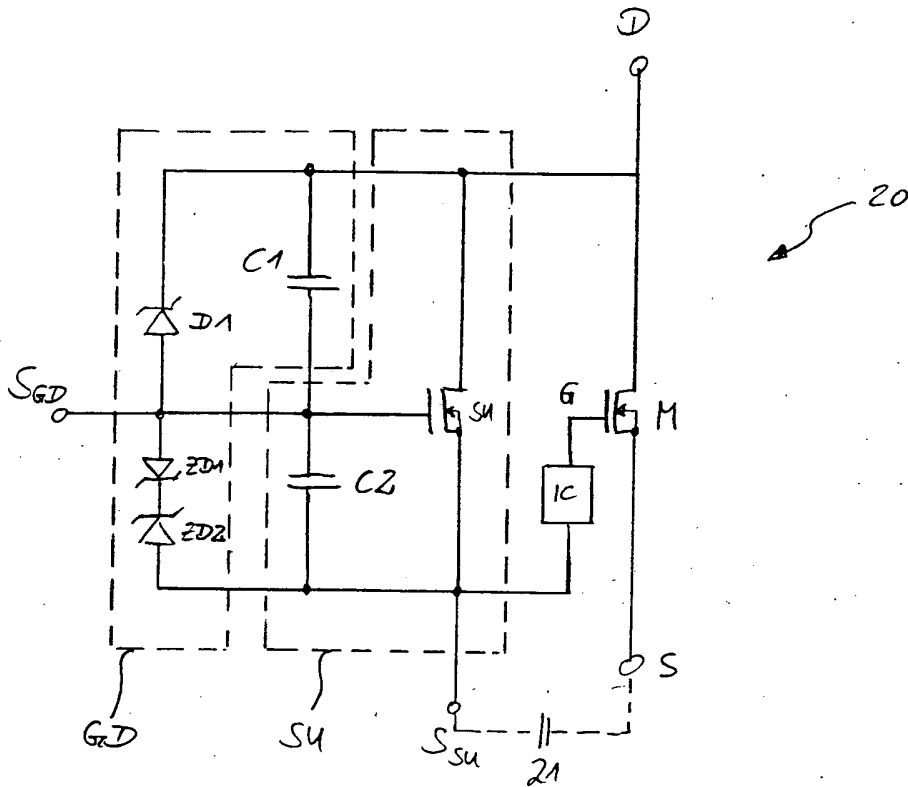


Fig. 4

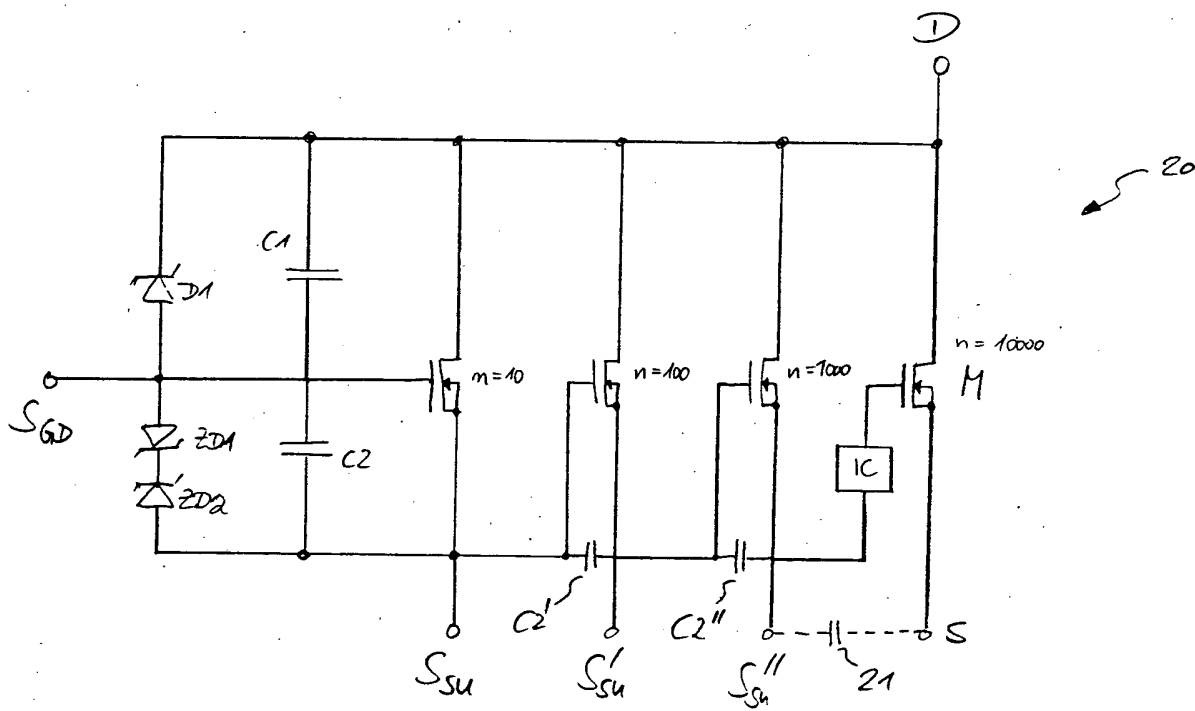


Fig. 5

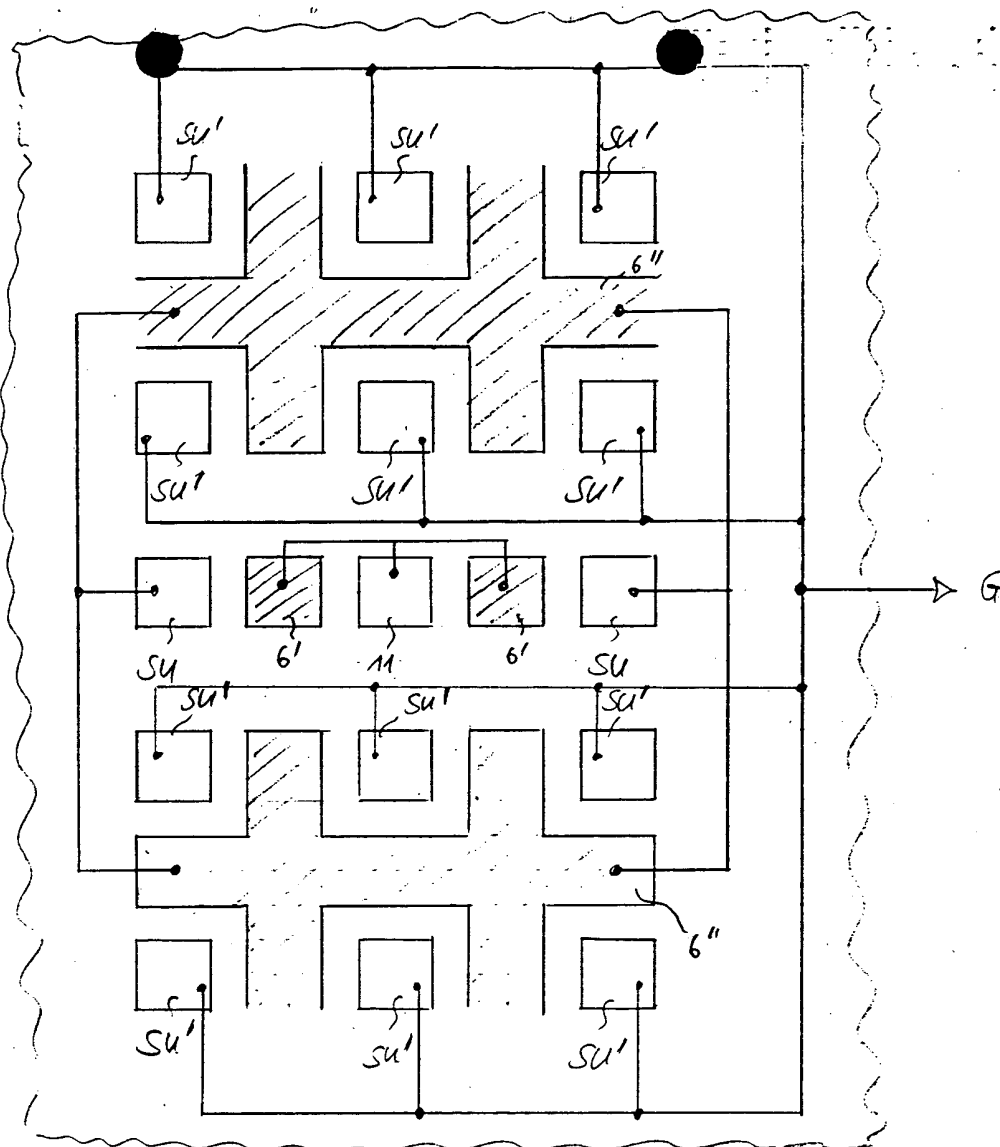


Fig. 6

01.04.99

Fig. 7

